

Architecture des ordinateurs II

Cours n°3

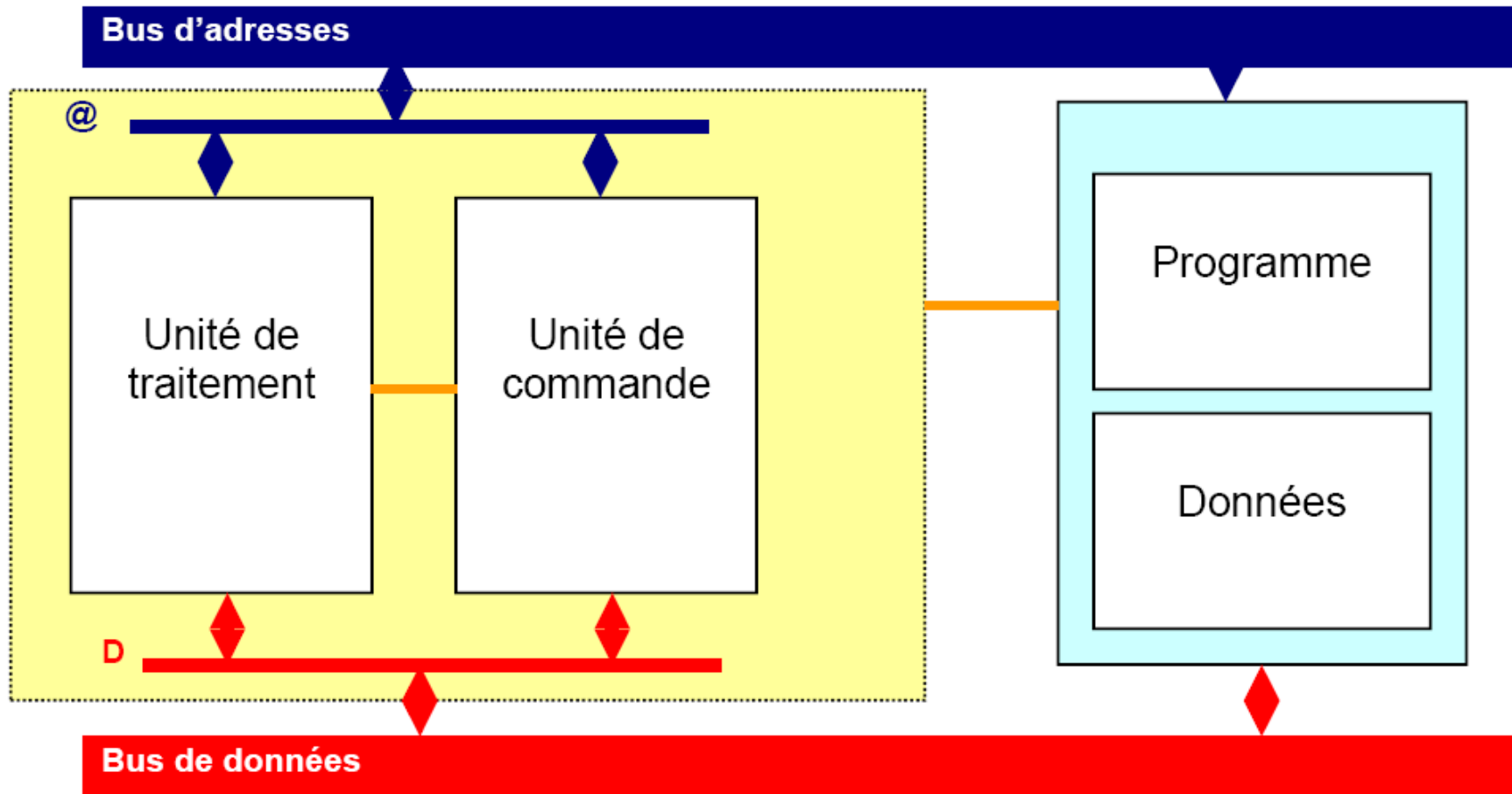
Architecture d'un CPU(Central Processing Unit)

Archi du processeur

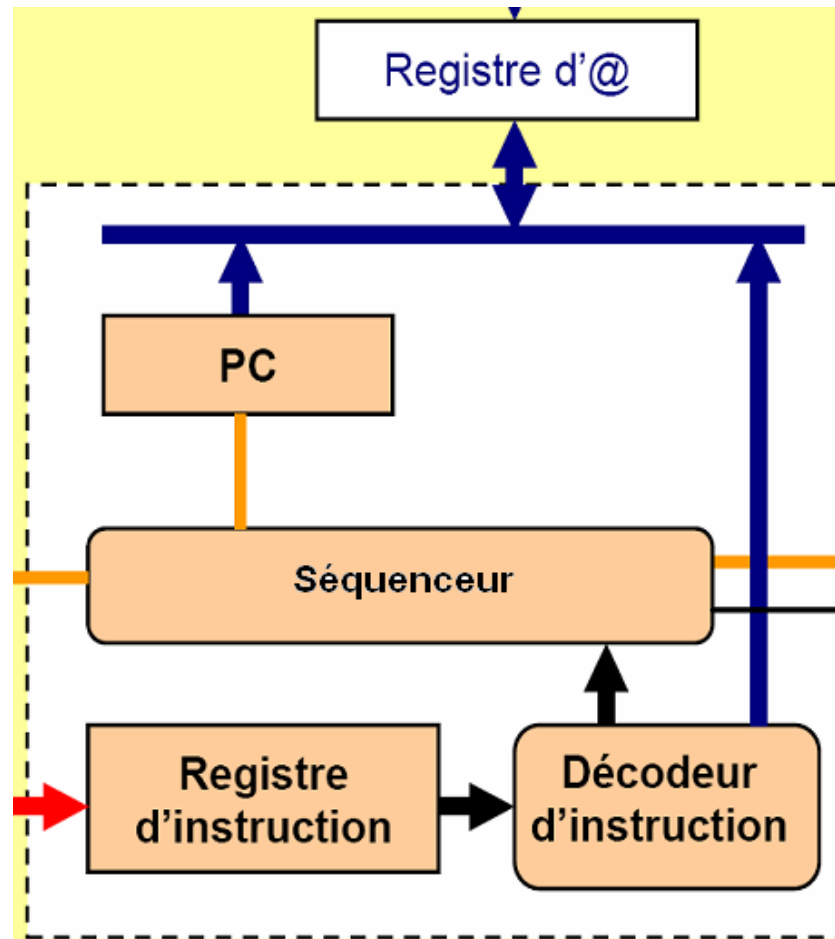
Un microprocesseur est construit autour de deux éléments principaux :

- Une unité de commande
- Une unité de traitement

Le processeur



Archi L'unité de commande



L'unité de commande

Elle permet de séquencer le déroulement des instructions. Elle effectue la recherche en mémoire de l'instruction, le décodage de l'instruction codée sous forme binaire. Enfin elle pilote l'exécution de l'instruction.

Les blocs de l'unité de commande :

1. Le compteur de programme (PC : Programme Counter) appelé aussi Compteur Ordinal (CO)

est constitué par un registre dont le contenu est initialisé avec l'adresse de la première instruction du programme. Il contient toujours l'adresse de la prochaine instruction à exécuter.

L'unité de commande

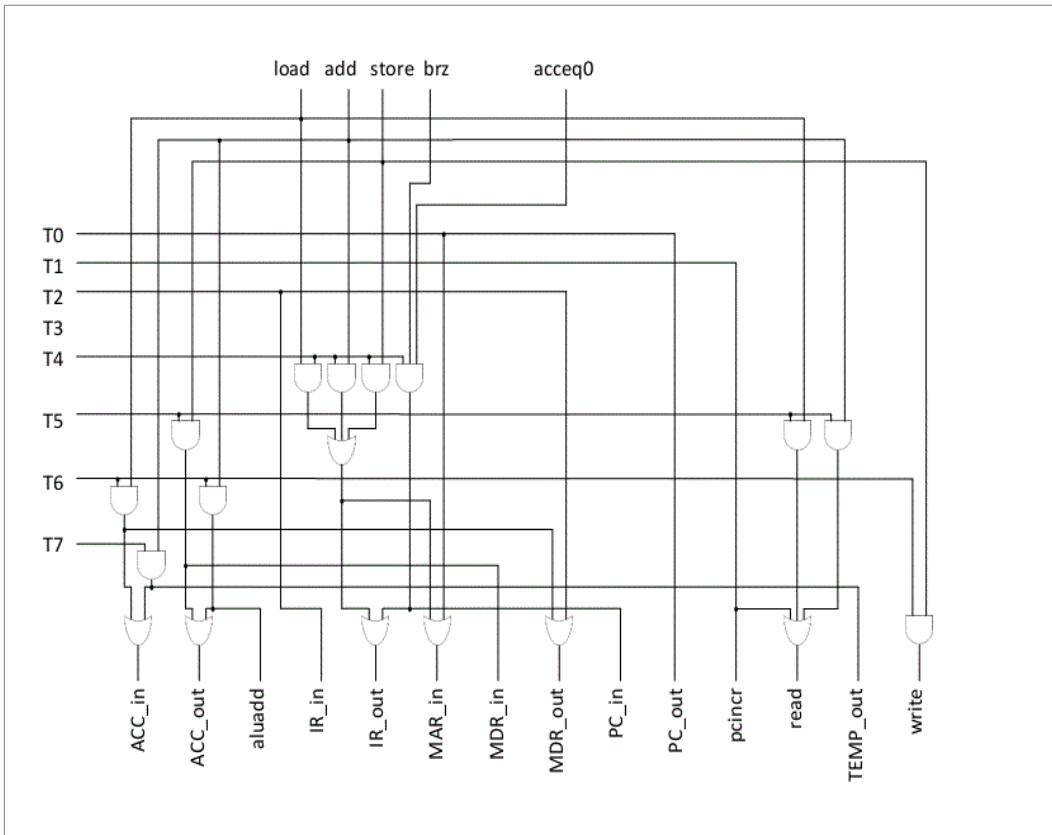
2. Le registre d'instruction et le décodeur d'instruction :

Chacune des instructions à exécuter est transféré depuis la mémoire dans le registre instruction puis est décodée par le décodeur d'instruction.

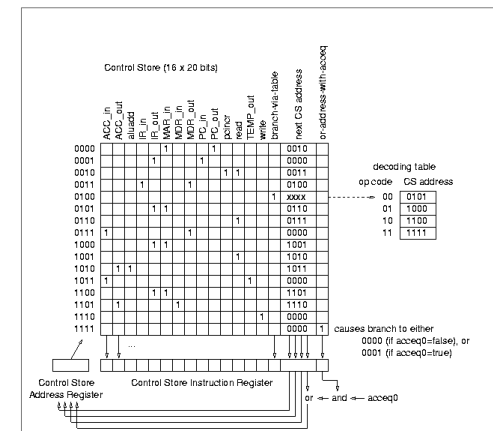
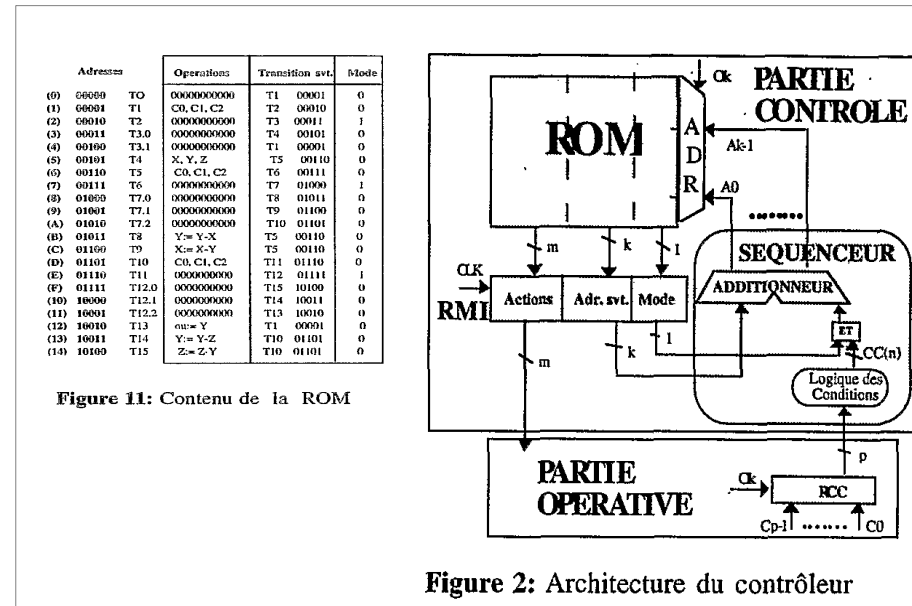
3. Bloc logique de commande (ou séquenceur) : Il organise l'exécution des instructions au rythme d'une horloge. Il élabore tous les signaux de synchronisation internes ou externes (bus de commande) du microprocesseur en fonction de l'instruction qu'il a à exécuter. Il s'agit d'un automate.

1 **Séquenceur câblé** (archi. RISC) : est un circuit complexe qui fait correspondre à chaque instruction exécutable un sous circuit capable de commander son déroulement. Le sous circuit est activé par un signal parvenant du décodeur.

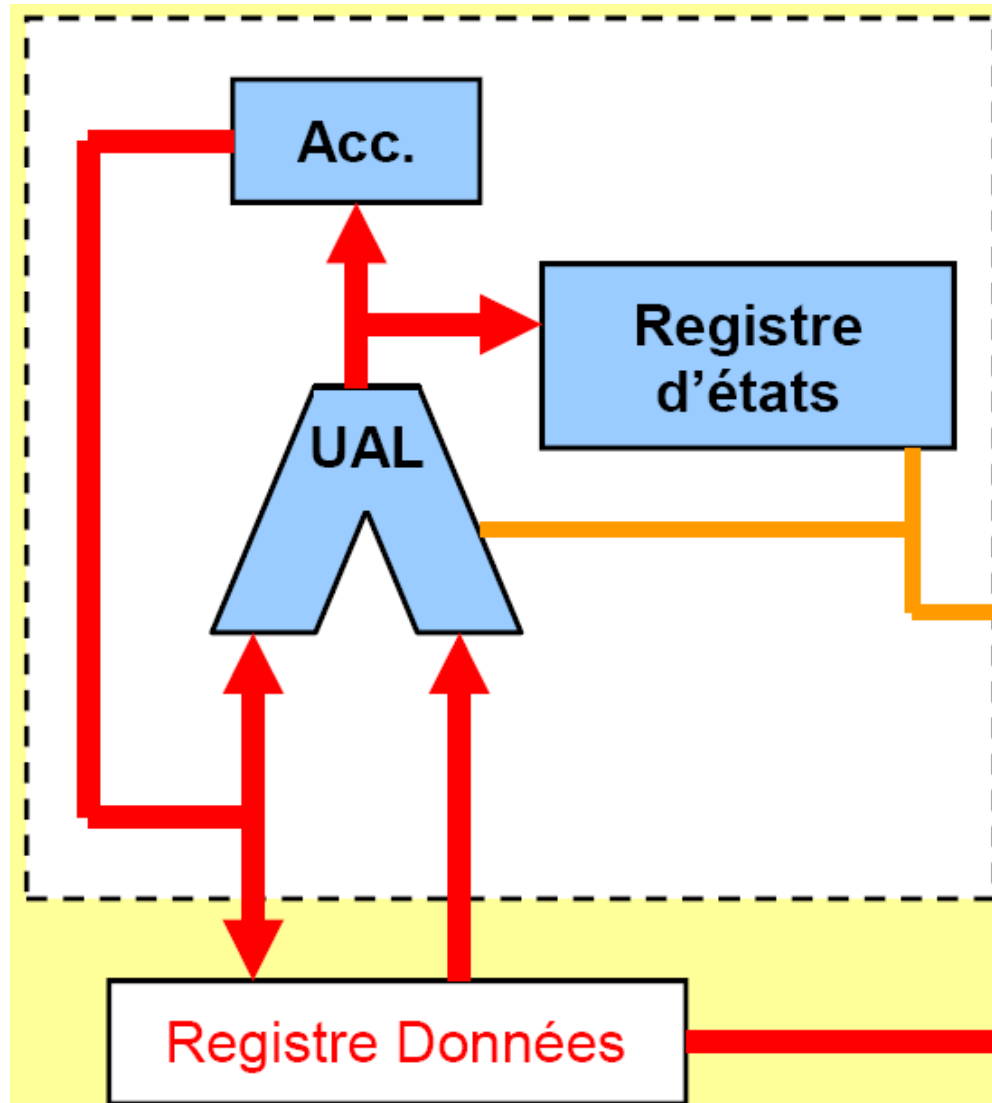
2 **Séquenceur micro programmé** (archi. CISC) : A chaque instruction correspond une suite de micro instructions stockées dans une mémoire de microprogrammation très rapide utilisée en lecture seulement, elle peut être du type ROM ou EEPROM non volatile et bien protégé. L'avantage d'un tel séquenceur réside dans sa souplesse et dans sa simplicité, mais c'est d'une vitesse légèrement inférieure à celle du séquenceur câblé.



Séquenceur câblé
implémenté en portes logiques



Archi l'unité de traitement



L'unité de traitement

Elle regroupe les circuits qui assurent les traitements nécessaires à l'exécution des instructions

Les blocs de l'unité de traitement :

1. **Les accumulateurs** sont des registres de travail qui servent à stocker une opérande au début d'une opération arithmétique et le résultat à la fin de l'opération.
2. **L'Unité Arithmétique et Logique (UAL)** est un circuit complexe qui assure les fonctions logiques (ET, OU, Comparaison, Décalage, etc...) ou arithmétique (Addition, soustraction...).

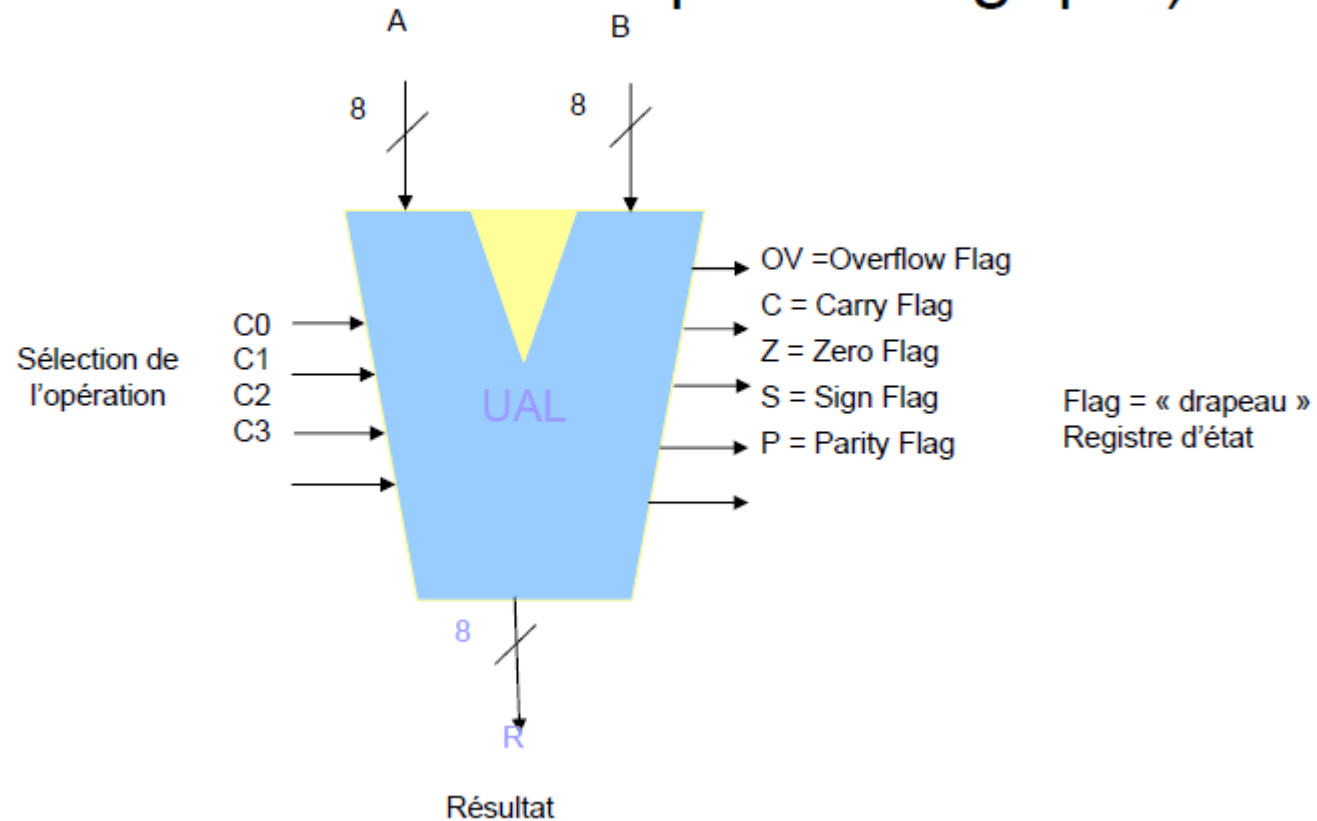
L'unité de traitement

3. **Le registre d'état** est généralement composé de 8 bits à considérer individuellement. Chacun de ces bits est un indicateur dont l'état dépend du résultat de la dernière opération effectuée par l'UAL. On les appelle *indicateur d'état* ou *flag* ou *drapeaux*. Dans un programme le résultat du test de leur état conditionne souvent le déroulement de la suite du programme. On peut citer par exemple les indicateurs de :

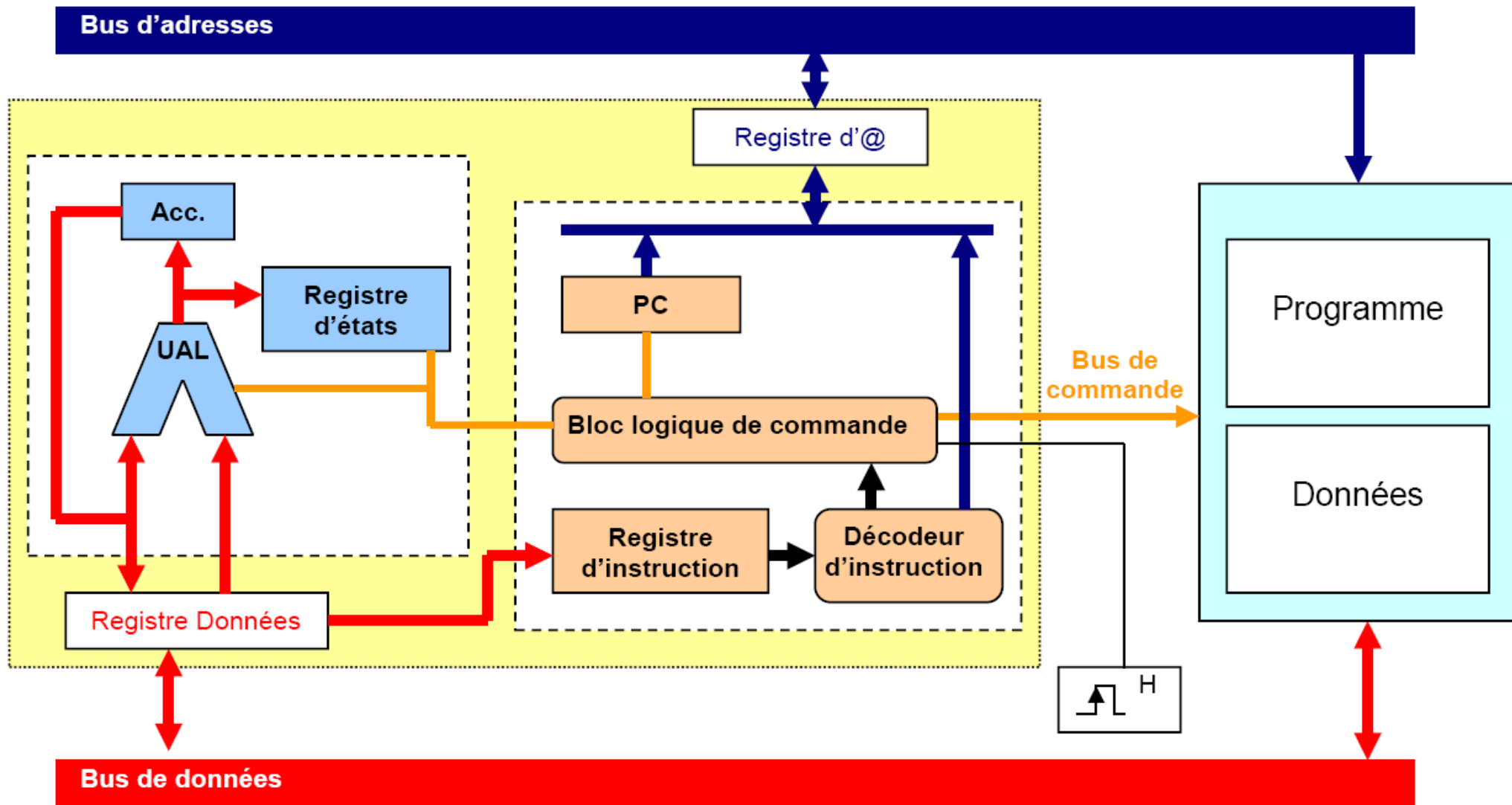
- ▣ Retenue (**carry** : **C**)
- ▣ Débordement (**overflow** : **OV** ou **V**)
- ▣ Zéro (**Z**)
- ▣ ...

L'unité de traitement

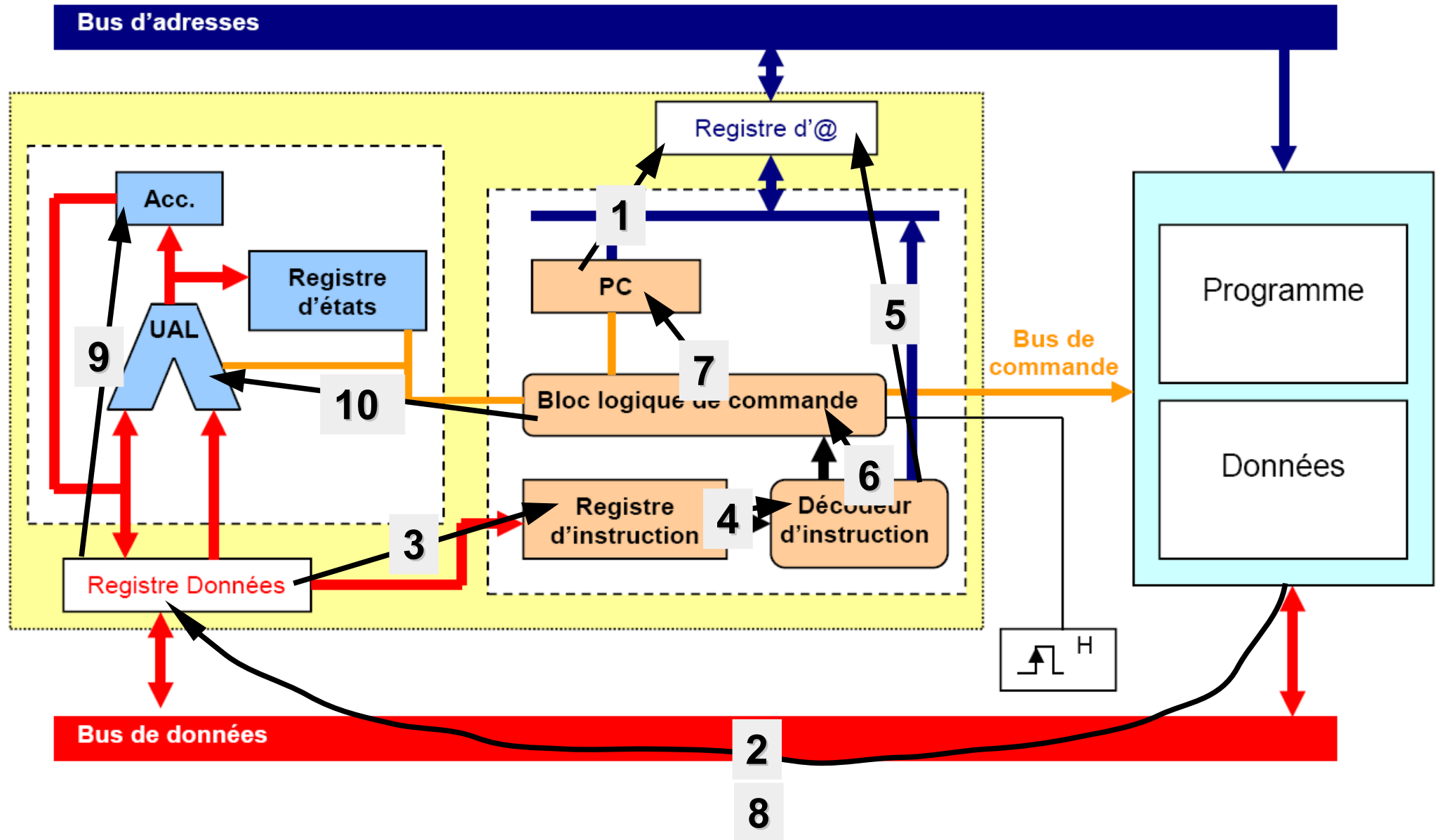
UAL : Unité Arithmétique et Logique)



Le processeur Archi

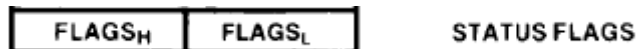
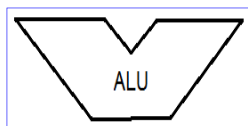


Le processeur Archi



Le Intel 8086

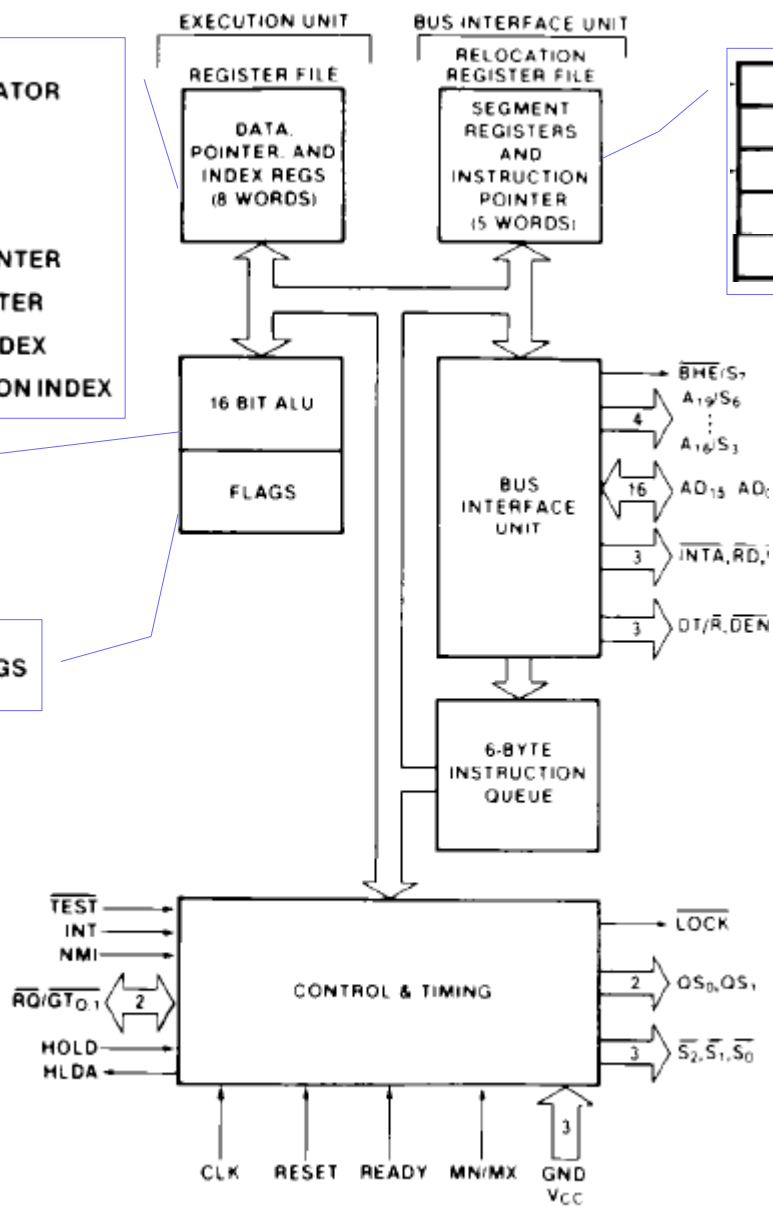
AX	AH	AL	ACCUMULATOR
BX	BH	BL	BASE
CX	CH	CL	COUNT
DX	DH	DL	DATA
	SP		STACK POINTER
	BP		BASE POINTER
	SI		SOURCE INDEX
	DI		DESTINATION INDEX



8 and 16-Bit Signed and Unsigned Arithmetic in Binary or Decimal Including Multiply and Divide

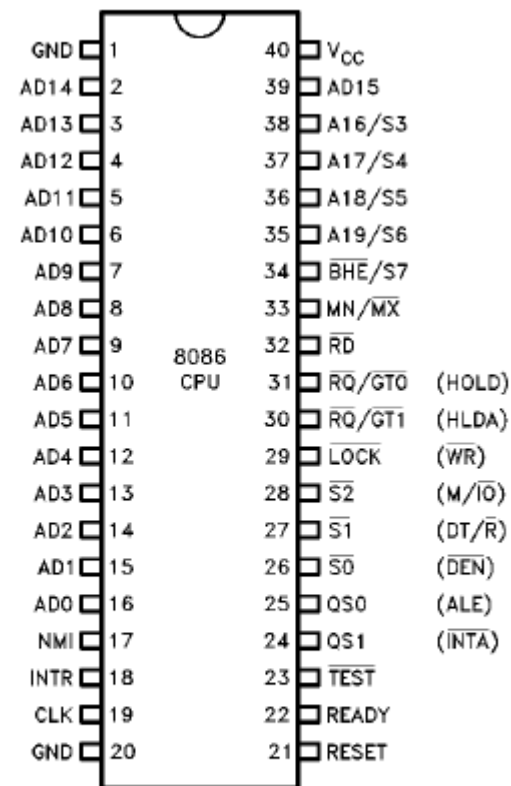
Direct Addressing Capability 1 MByte of Memory

14 Word, by 16-Bit Register Set with Symmetrical Operations



8086 CPU Block Diagram

CS	CODE SEGMENT
DS	DATA SEGMENT
SS	STACK SEGMENT
ES	EXTRA SEGMENT
IP	INSTRUCTION POINTER



40 Lead
8086 Pin Configuration

Les registres

- 14 registres

AX	AH	AL
BX	BH	BL
CX	CH	CL
DX	DH	DL

ACCUMULATOR

BASE

COUNT

DATA

SP
BP
SI
DI

STACK POINTER

BASE POINTER

SOURCE INDEX

DESTINATION INDEX

FLAGSH	FLAGSL
--------	--------

STATUS FLAGS

CS
DS
SS
ES
IP

CODE SEGMENT

DATA SEGMENT

STACK SEGMENT

EXTRA SEGMENT

INSTRUCTION POINTER

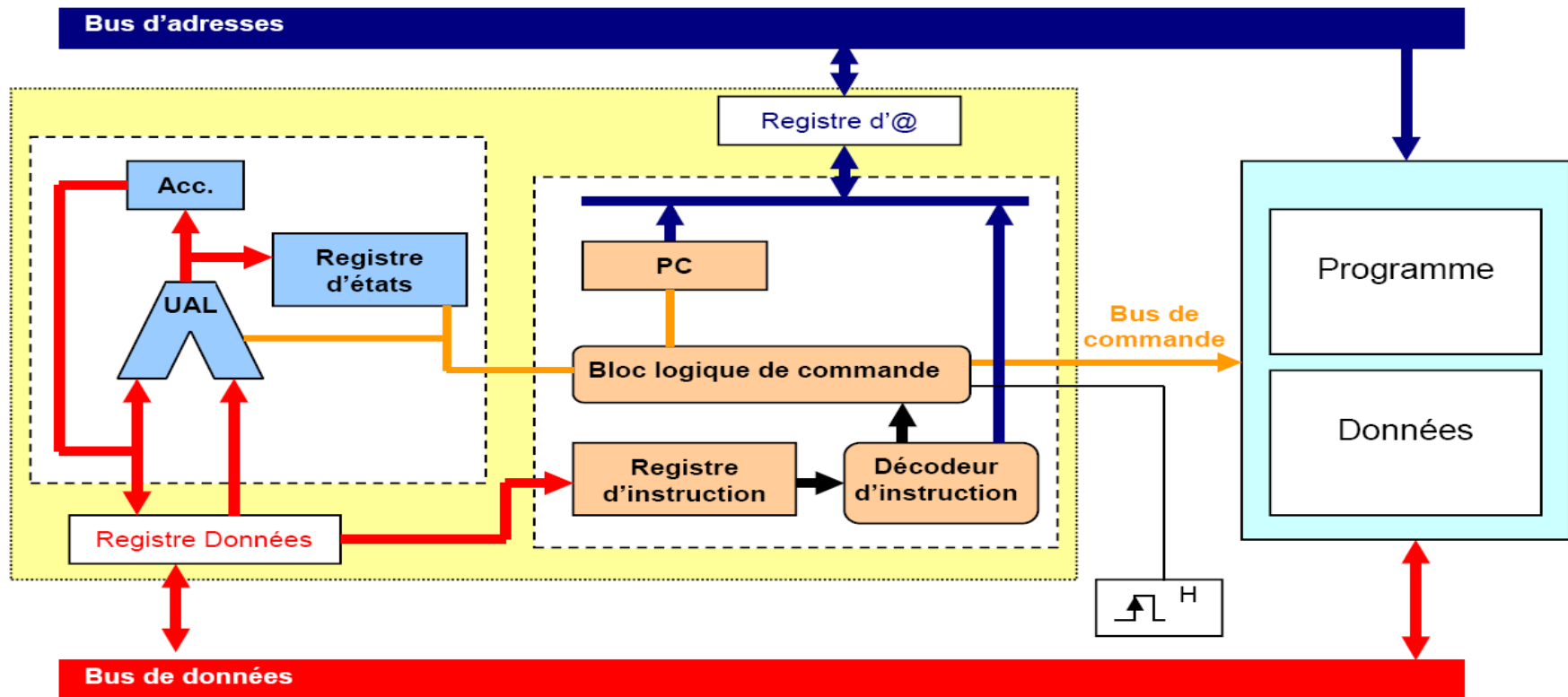
Le FLAG

FLAGS - X:X:X:X:(OF):(DF):(IF):(TF):(SF):(ZF):X:(AF):X:(PF):X:(CF)

Le traitement des instructions

Phase 1 : Recherche de l'instruction en mémoire

- La valeur du PC est placée sur le bus d'adresse par l'unité de commande qui émet un ordre de lecture.
- Après le temps d'accès à la mémoire, le contenu de la case mémoire sélectionnée est disponible sur le bus des données.
- L'instruction est stockée dans le registre d'instruction du processeur.

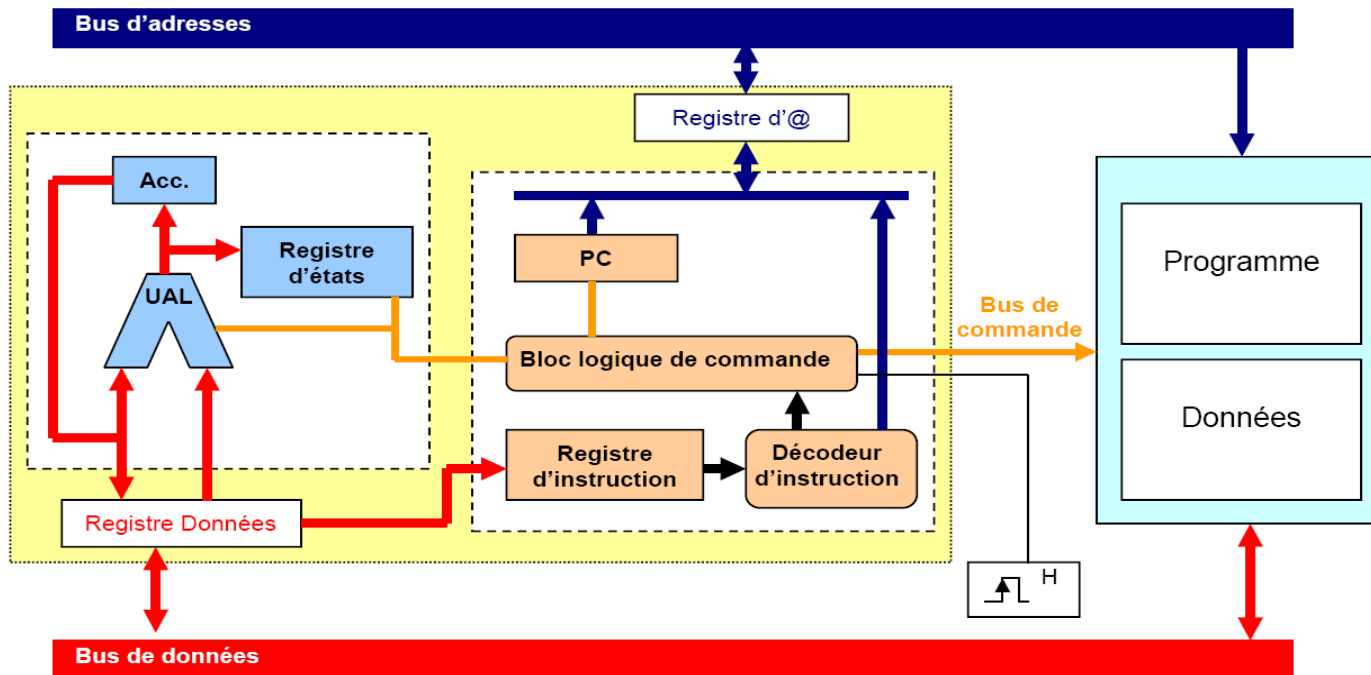


Le traitement des instructions

Phase 2 : Décodage et recherche de l'opérande

L'unité de commande transforme l'instruction en une suite de commandes élémentaires nécessaires au traitement de l'instruction.

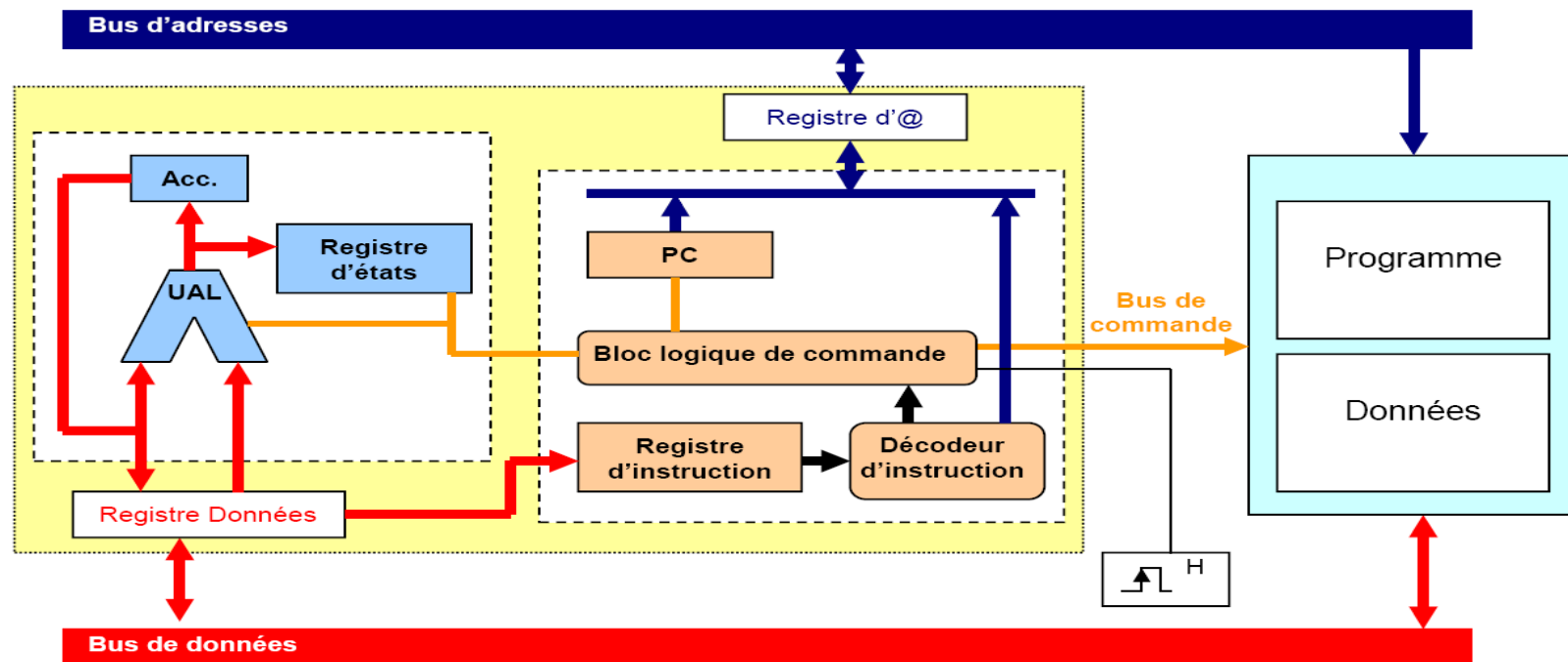
- Si l'instruction nécessite une donnée en provenance de la mémoire, l'unité de commande récupère sa valeur sur le bus de données.
- L'opérande est stocké dans le registre de données.



Le traitement des instructions

Phase 3 : Exécution de l'instruction

- Le séquenceur réalise l'instruction.
- Les drapeaux sont positionnés (registre d'état).
- L'unité de commande positionne le PC pour l'instruction suivante



Les modes d'adressages

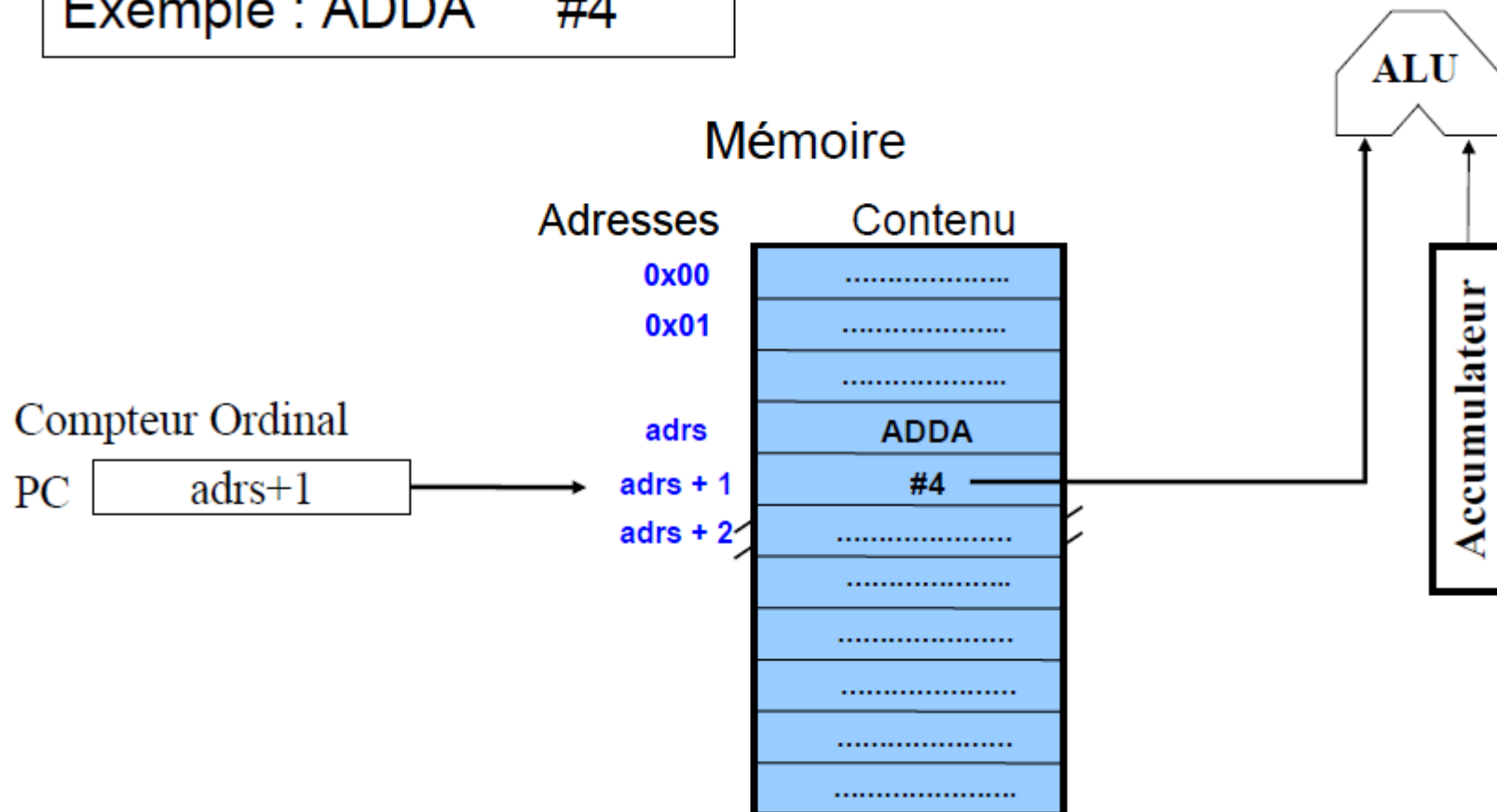
▣ Ce sont les diverses manières de définir la localisation d'un opérande. Les trois modes d'adressage les plus courant sont :

- ▣ Adressage immédiat
- ▣ Adressage direct
- ▣ Adressage indirect

Immédiat

MOV BX, 8

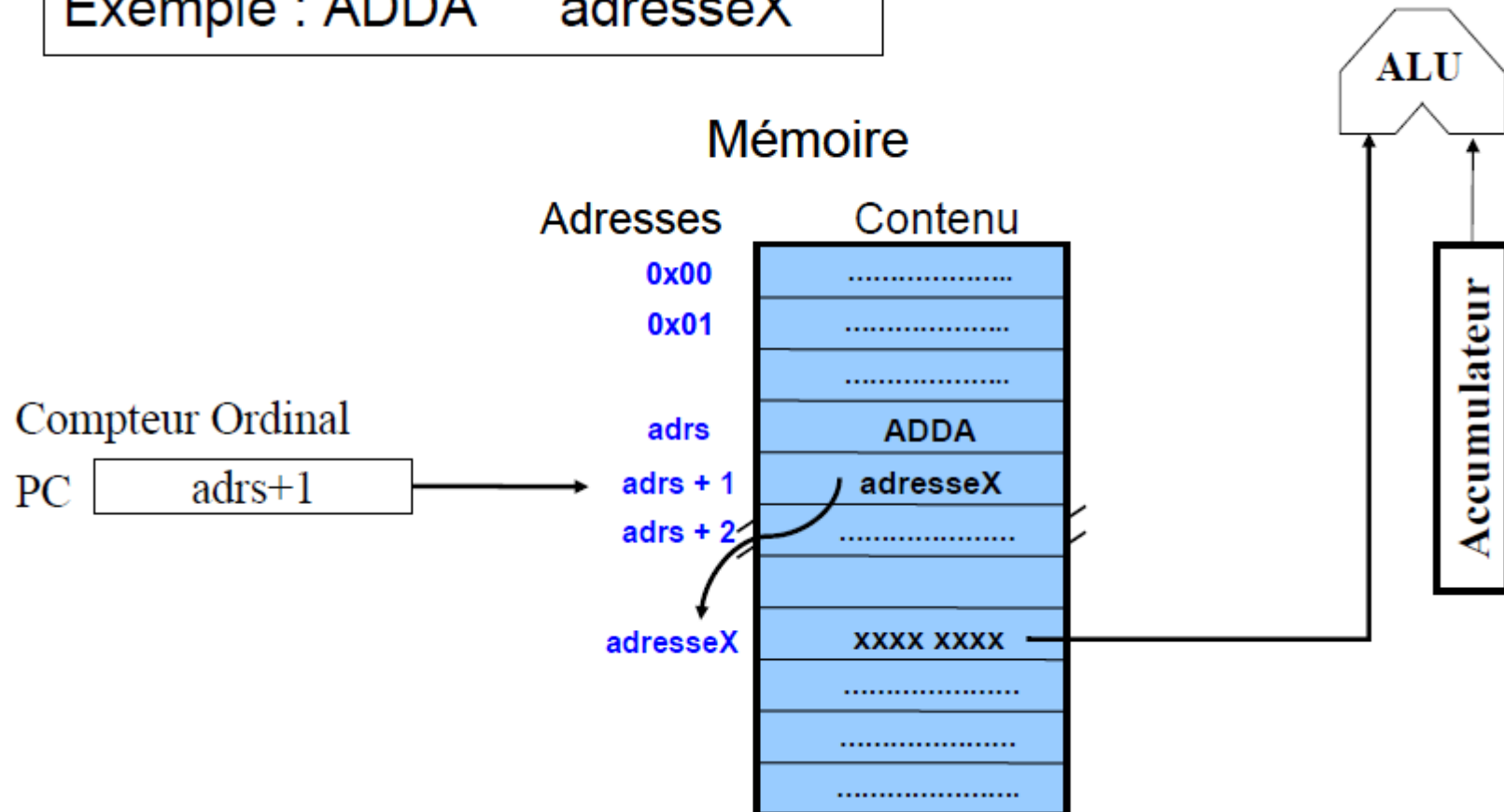
Exemple : ADDA #4



Direct

MOX AX, [110]

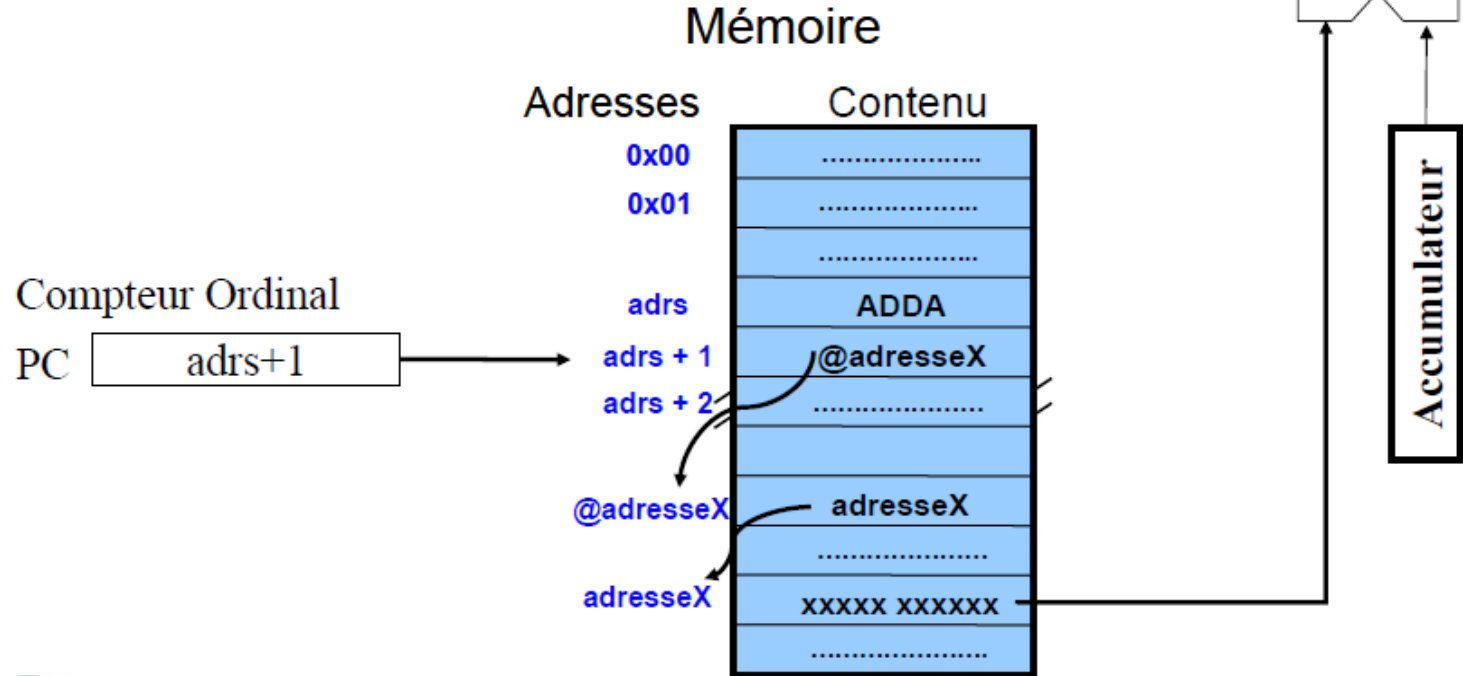
Exemple : ADDA adresseX



Indirect

```
MOV AX, [BX]
```

Exemple : ADDA @adresseX



relatif

Jmp etq

On appelle *déplacement* (en anglais *offset*) le nombre d'octets (car il s'agit d'un nombre entier relatif codé sur 8 bits) qui séparent l'instruction suivante de l'instruction visée. Voyons cela sur le programme suivant :

Adresse	Instruction en assembleur	Commentaire
0100	MOV AX, [120]	copie le contenu de la case mémoire à l'adresse 0120H dans le registre AX
0103	JMP 0100H	saute à l'adresse 0100H
0104	MOV [120], BX	instruction non exécutée à cause du saut précédent...

La valeur du déplacement est ici de: $0100H - 0104H = -4$

implicite

Inc ax

Le mode d'adressage implicite correspond à une instruction ne comportant pas d'opérande. L'instruction est composée du code opération uniquement

Ce type d'instruction porte généralement sur des registres. Les opérations d'incrémentement ou de décrémentation d'un registre ont un mode d'adressage implicite.

Organisation d'une instruction

Le microprocesseur ne comprend qu'un certain nombre d'instructions qui sont codées en binaire. Une instruction est composée de deux éléments :

- ▣ Le code opération : C'est un code binaire qui correspond à l'action à effectuer par le processeur
- ▣ Le champ opérande : Donnée ou bien adresse de la donnée.

Codage des instructions

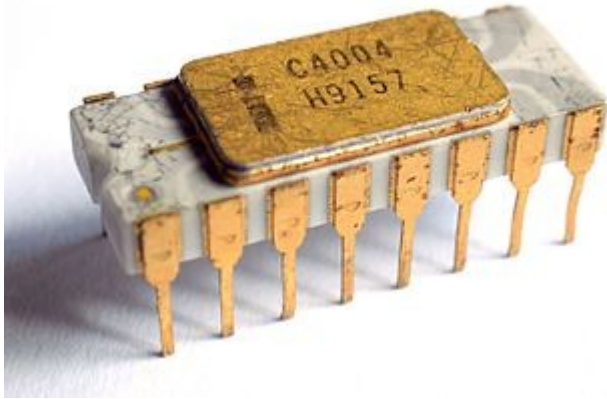
Opcode	operandes
--------	-----------

cs:0000	B80900	mov	ax,0009
cs:0003	2EA10000	mov	ax,cs:[0000]
cs:0007	8B07	mov	ax,[bx]
cs:0009	90	nop	
cs:000A	EBFD	jmp	0009
cs:000C	40	inc	ax
cs:000D	FEC0	inc	al
cs:000F	050200	add	ax,0002

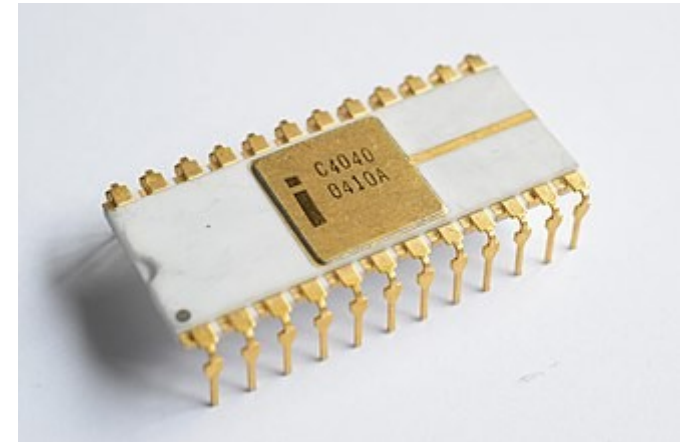
```
mov ax,9
mov ax,cs:[0000]
mov ax,[bx]
etq:nop
jmp etq
inc ax
inc al
add ax,2
```

inst	hex	bin
Mov ax,0009	B80900	1011 1 000 00001001 00000000
Add ax,0002	050200	0000010 1 00000010 00000000

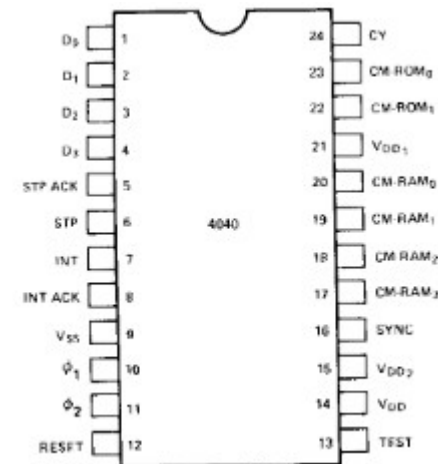
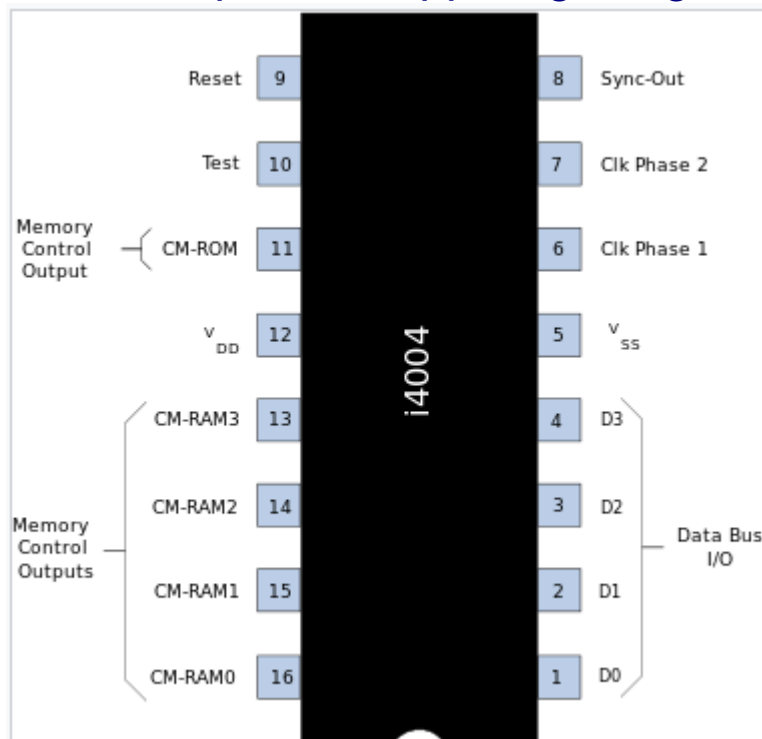
4 bits



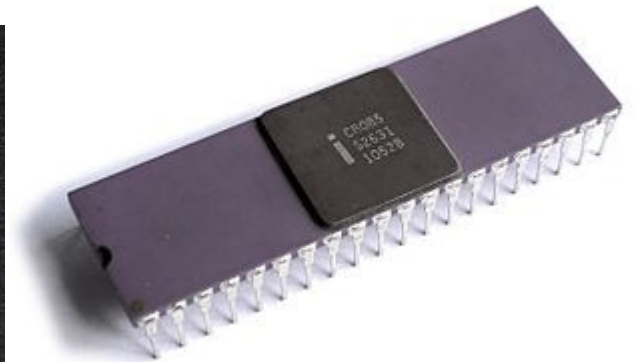
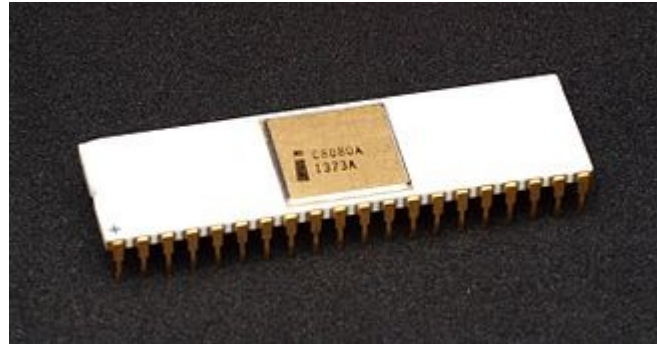
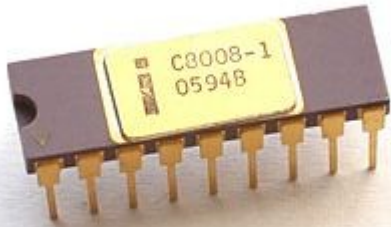
Intel 4004
word size 4 bit
max memory address 4 kB +
<http://www.applelogic.org/files/4004Data.pdf>



Intel 4040
4004 etendu
Mot 4 bits
8k max memory adresse
<https://www.datasheets360.com/pdf/-5144323881407655390>



8 bits



Intel 8008
 Registres 8bits
 14 bits adr
 16k adressable

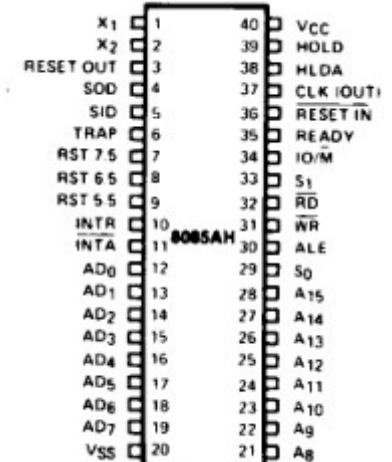
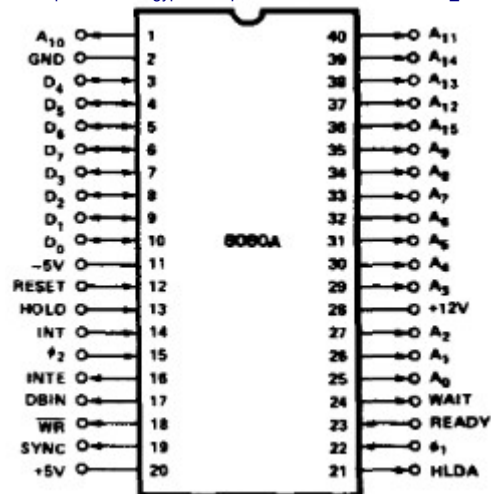
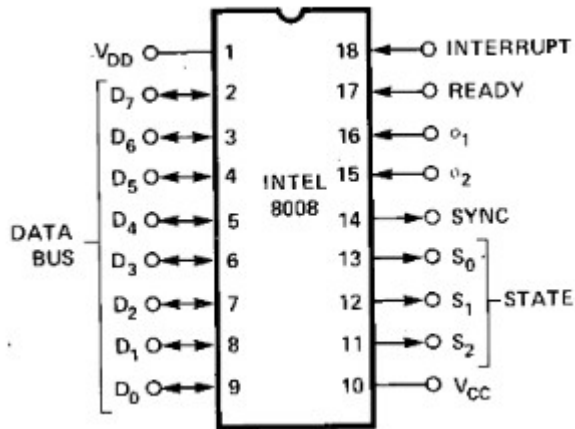
Intel 8080
 Registres 8bits
 16 bits adr
 64k adressable

Intel 8085
 Du 8080 à 5V
 Necessite moins de materiel

<https://www.jameco.com/Jameco/Products/ProdDS/52062.pdf>

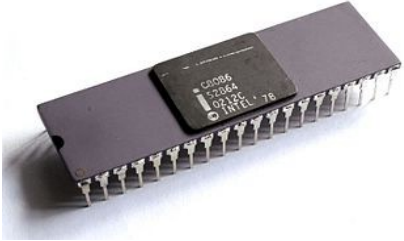
https://en.wikichip.org/w/images/c/c9/8008_datasheet_%281978%29.pdf

https://www.fecegypt.com/uploads/dataSheet/1481550148_8080.pdf



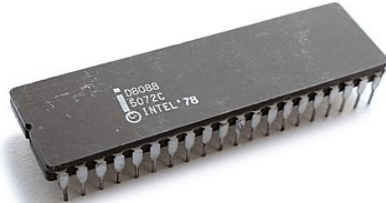
C'est le premier processeur de la famille x86, qui est devenue l'architecture de processeur la plus répandue dans le monde des ordinateurs personnels, stations de travail et serveurs informatiques

16 bits



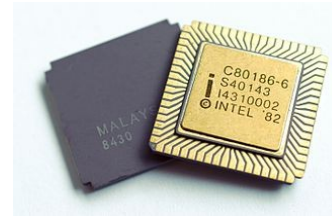
Intel 8086
registres 16 bits
bus de données 16 bits
bus d'adresse de 20 bits,
qui lui permet d'adresser 1 Mio

<https://www.archive.ecc.cmu.edu/~ecc/4011/lib/level/fetch.php?media/wiki:8086-datasheet.pdf>



Intel 8088
Une version moins chere du 8086

<http://www.ndr-nkc.de/download/datenbli/8088.pdf>

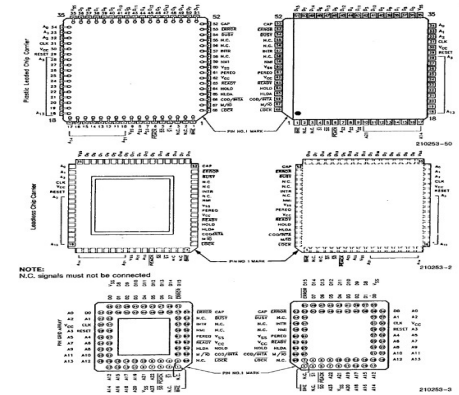
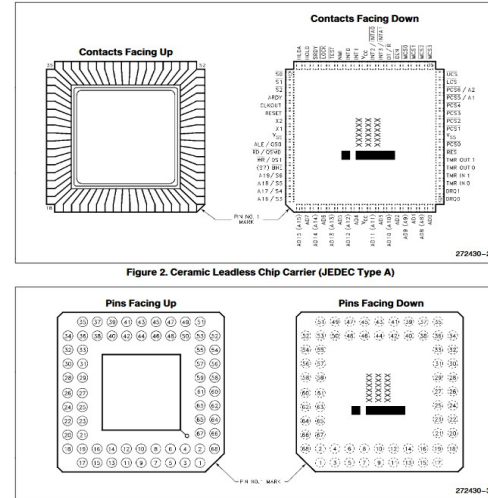
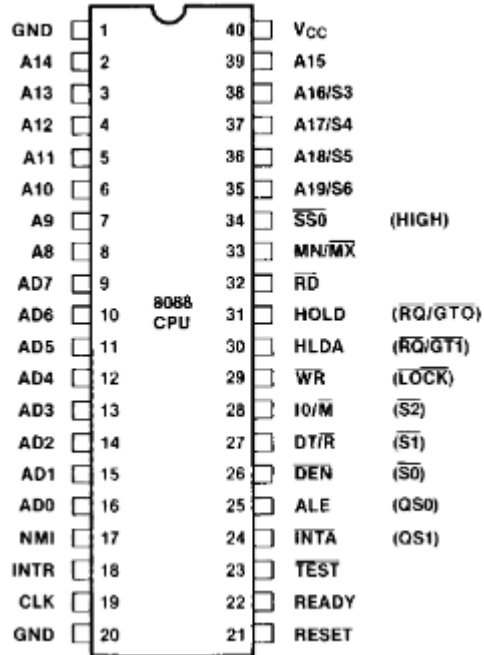
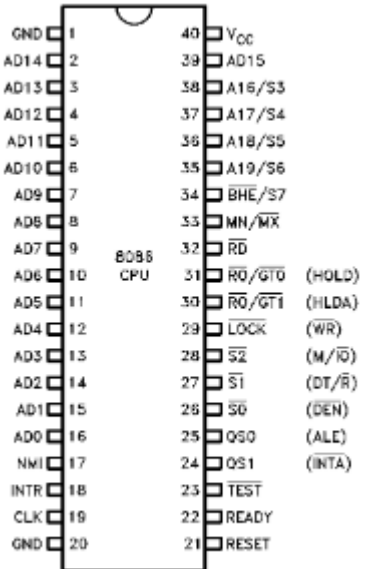


Intel 80186/80188
<http://pdf.datasheetcatalog.com/datasheet/Intel/mXqwysy.pdf>



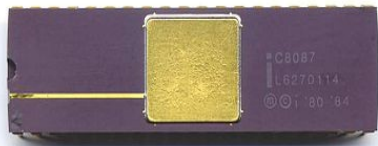
Intel 80286
Data width 16bits
2²⁴ 16Mbyte of physical memory

<http://datasheets.chipdb.org/Intel/x86/286/datashts/intel-80286.pdf>



Les Coprocesseurs mathématiques

Une unité de calcul en virgule flottante (UVF, en anglais floating-point unit, FPU) est une partie d'un processeur, spécialement conçue pour effectuer des opérations sur des nombres à virgule flottante.



8087

8/16 bits
Int 16,32,64 bits
Floting point 32,64,80 bits
arithmétique, trigonométrie,
exponentiel et logarithme
Travail avec : 8086/8088

<https://datasheet.octopart.com/QD8087-Intel-datasheet-38976620.pdf>



80287

Travail avec le 80286

<http://pdf.datasheetcatalog.com/datasheet/Intel/mXrvury.pdf>



80387

Travail avec le 80386

<http://www.nj7p.org/Manuals/PDFs/Intel/240448-005.PDF>



80487

Travail avec 80486

<https://www.datasheets360.com/pdf/7077499089786358331>

32 bits

80386

MMU (Memory Management Unit)

Mode virtuel 8086

Pipeline

<http://pdf.datasheetcatalog.com/datasheet/Intel/mXtuvqv.pdf>

80486

FPU

Mémoire cache unifiée

http://www.textfiles.com/bit savers/pdf/intel/80486/240440-002_i486_Microprocessor_Nov89.pdf

Les Pentium (Pent:cinq)

2 UAL

MMX

Superscalar Architecture

<http://datasheets.chipdb.org/Intel/x86/Pentium/24159502.pdf>

<http://datasheets.chipdb.org/Intel/x86/Pentium/24199710.PDF>

<http://datasheets.chipdb.org/Intel/x86/Pentium%20MMX/24318504.PDF>

<http://datasheets.chipdb.org/Intel/x86/Pentium%20MMX/24329204.PDF>

<http://datasheets.chipdb.org/Intel/x86/Pentium%20MMX/24346802.PDF>

Core

Core solo

Core duo

...

Exemple d'une instruction du 8086

Mnemonic and Description	Instruction Code			
DATA TRANSFER				
MOV – Move:	7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0
Register/Memory to/from Register	1 0 0 0 1 0 d w	mod reg r/m		
Immediate to Register/Memory	1 1 0 0 0 1 1 w	mod 0 0 0 r/m	data	data if w = 1
Immediate to Register	1 0 1 1 w reg	data	data if w = 1	
Memory to Accumulator	1 0 1 0 0 0 w	addr-low	addr-high	
Accumulator to Memory	1 0 1 0 0 1 w	addr-low	addr-high	
Register/Memory to Segment Register	1 0 0 0 1 1 1 0	mod 0 reg r/m		
Segment Register to Register/Memory	1 0 0 0 1 1 0 0	mod 0 reg r/m		

CS:0000	B8AF44	MOV	AX,44AF
CS:0003	BED8	MOV	DS,AX
CS:0005	A00000	MOV	AL,[0000]
CS:0008	8A1E0100	MOV	BL,[0001]
CS:000C	02C3	ADD	AL,BL
CS:000E	8AC8	MOV	CL,AL
CS:0010	CD21	INT	21
CS:0012	B44C	MOV	AH,4C
CS:0014	CC	INT	03

Mnemonic and Description	Instruction Code			
ARITHMETIC				
ADD = Add:	7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0
Reg./Memory with Register to Either	0 0 0 0 0 0 d w	mod reg r/m		
Immediate to Register/Memory	1 0 0 0 0 0 s w	mod 0 0 0 r/m	data	data if s:w = 01
Immediate to Accumulator	0 0 0 0 0 1 0 w	data	data if w = 1	

16-Bit (w = 1)	8-Bit (w = 0)	Segment
000 AX	000 AL	00 ES
001 CX	001 CL	01 CS
010 DX	010 DL	10 SS
011 BX	011 BL	11 DS
100 SP	100 AH	
101 BP	101 CH	
110 SI	110 DH	
111 DI	111 BH	

INC = Increment:

Register/Memory

1 1 1 1 1 1 1 w	mod 0 0 0 r/m
-----------------	---------------

Register

0 1 0 0 0 reg
